

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-195163

(P2001-195163A)

(43)公開日 平成13年7月19日 (2001.7.19)

(51)Int.Cl.<sup>7</sup>

G 06 F 3/00  
G 11 C 11/417  
H 03 K 19/0175

識別記号

F I

G 06 F 3/00  
G 11 C 11/34  
H 03 K 19/00

テーマコード<sup>\*</sup>(参考)

G 5 B 0 1 5  
3 0 5 5 J 0 5 6  
1 0 1 S

審査請求 有 請求項の数10 O L (全 10 頁)

(21)出願番号

特願2000-3106(P2000-3106)

(22)出願日

平成12年1月12日 (2000.1.12)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山田 和志

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100088812

弁理士 ▲柳▼川 信

Fターム(参考) 5B015 JJ01 JJ14 KB02 KB09 KB33

KB36

5J056 AA05 BB17 BB25 BB57 CC05

CC14 DD13 DD29 DD52 EE07

EE11 EE15 FF01 FF07 FF10

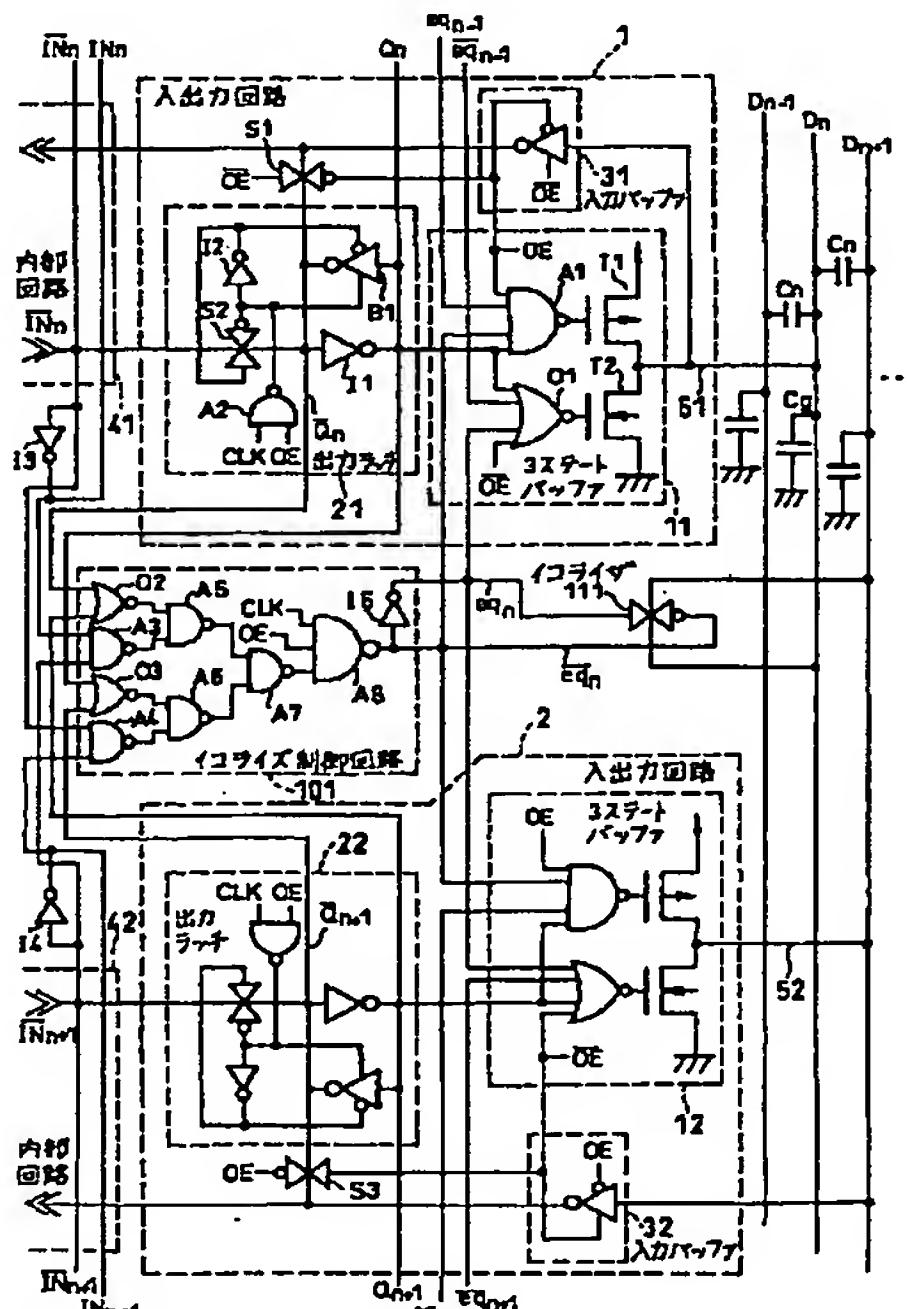
GG12 KK01

(54)【発明の名称】 容量性負荷駆動回路及びその駆動方法並びにそれを用いた半導体集積回路装置

(57)【要約】

【課題】 最大消費電力や最大発生ノイズの削減を可能とし、またデータパターンに規則性のない、または規則性があるとは限らない回路方式にも広く適用可能な容量性負荷駆動回路を得る。

【解決手段】 (1)隣接する2つのバス配線D<sub>n</sub>とD<sub>n+1</sub>との電位を逆方向に駆動する場合と、(2)隣接する2つのバス配線D<sub>n</sub>、D<sub>n+1</sub>の一方の配線の電位を遷移させず、かつ残りの一方の配線の電位を前記遷移させない側の配線の電位と同電位方向へ駆動する場合に、一時的に、この2つの配線を、イコライザ111により短絡させてから、出力バッファ11、12で駆動する構成とする。(1)の場合、隣接配線の電荷を流用できるため低消費電力、低ノイズとなり、(2)の場合、隣接配線間の寄生容量が容量カッピングによって打ち消されるため低消費電力かつ低ノイズとなる。



## 【特許請求の範囲】

【請求項1】 データパターンに従って第一及び第二の容量性負荷を夫々駆動する容量性負荷駆動回路であって、

前記データパターンに応じて前記第一及び第二の容量性負荷を夫々充放電可能な第一及び第二の出力バッファと、

前記第一及び第二の容量性負荷同士を電気的に接続／分離するスイッチと、

前記第一及び第二の容量性負荷の電位を互いに逆方向に駆動する場合に、これ等両容量性負荷を一時的に互いに接続するよう前記スイッチを制御する制御回路とを含むことを特徴とする容量性負荷駆動回路。

【請求項2】 データパターンに従って第一及び第二の容量性負荷を夫々駆動する容量性負荷駆動回路であって、

前記データパターンに応じて前記第一及び第二の容量性負荷を夫々充放電可能な第一及び第二の出力バッファと、

前記第一及び第二の容量性負荷同士を電気的に接続／分離するスイッチと、

前記第一の容量性負荷の電位が遷移せず、かつ前記第二の容量性負荷の電位を前記第一の容量性負荷の電位と同電位方向へ駆動する場合に、これ等両容量性負荷を一時的に互いに接続するよう前記スイッチを制御する制御回路とを含むことを特徴とする容量性負荷駆動回路。

【請求項3】 データパターンに従って第一及び第二の容量性負荷を夫々駆動する容量性負荷駆動回路であって、

前記データパターンに応じて前記第一及び第二の容量性負荷を夫々充放電可能な第一及び第二の出力バッファと、

前記第一及び第二の容量性負荷同士を電気的に接続／分離するスイッチと、

前記第一及び第二の容量性負荷の電位を互いに逆方向に駆動する場合に、これ等両容量性負荷を一時的に互いに接続するよう前記スイッチを制御し、また前記第一の容量性負荷の電位が遷移せず、かつ前記第二の容量性負荷の電位を前記第一の容量性負荷の電位と同電位方向へ駆動する場合に、これ等両容量性負荷を一時的に互いに接続するよう前記スイッチを制御する制御回路とを含むことを特徴とする容量性負荷駆動回路。

【請求項4】 前記第一及び第二の容量性負荷の各々は互いに隣接する第一及び第二のデータバスであることとする請求項1～3いずれか記載の容量性負荷駆動回路。

【請求項5】 容量性負荷を夫々有する第一及び第二のデータバスをデータパターンにより夫々駆動する容量性負荷駆動方法であって、前記第一及び第二のデータバスの電位を互いに逆方向に駆動する場合に、これ等両データ

バスを一時的に互いに接続するようにしたことを特徴とする容量性負荷駆動方法。

【請求項6】 容量性負荷を夫々有する第一及び第二のデータバスをデータパターンにより夫々駆動する容量性負荷駆動方法であって、前記第一のデータバスの電位が遷移せず、かつ前記第二のデータバスの電位を前記第一のデータバスの電位と同電位方向へ駆動する場合に、これ等両データバスを一時的に互いに接続するようにしたことを特徴とする容量性負荷駆動方法。

10 【請求項7】 容量性負荷を夫々有する第一及び第二のデータバスをデータパターンにより夫々駆動する容量性負荷駆動方法であって、前記第一及び第二のデータバスの電位を互いに逆方向に駆動する場合に、これ等両データバスを一時的に互いに接続し、また前記第一のデータバスの電位が遷移せず、かつ前記第二のデータバスの電位を前記第一のデータバスの電位と同電位方向へ駆動する場合に、これ等両データバスを一時的に互いに接続するようにしたことを特徴とする容量性負荷駆動方法。

20 【請求項8】 前記第一及び第二のデータバスは互いに隣接するデータバスであることを特徴とする請求項5～7いずれか記載の容量性負荷駆動方法。

【請求項9】 請求項1～4いずれか記載の容量性負荷駆動回路を含むことを特徴とする半導体集積回路装置。

【請求項10】 請求項5～8いずれか記載の容量性負荷駆動方法を使用したことを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は容量性負荷駆動回路及びその駆動方法並びにそれを用いた半導体集積回路装置に関し、特に容量性負荷を夫々有し互いに隣接する一对のデータバスを規則性のない（または規則性があるとは限らない）データパターンにより駆動する容量性負荷駆動方式に関するものである。

## 【0002】

【従来の技術】 従来のこの種の容量性負荷駆動回路の例として、多ビット入出力回路を使用して説明する。図7はかかる多ビット入出力回路の一部回路図を示しており、簡単化のために1ビット入出力回路1のみを示すが、実際には、この1ビット入出力回路1が複数個並列に組み合わされて、それぞれの入出力端子51が対応バス配線（データバス）の一つDnにそれぞれ接続されることによって構成されるものである。図4においては、入力端子及び出力端子を兼用した入出力回路として示されているが、入力バッファ31を含まない単なる出力回路のみであっても構わない。

【0003】 図7を参照すると、41は半導体集積回路の内部回路（ロジック回路）であり、この内部回路の出力データパターンがバス配線Dnへ導出されるものである。21は出力ラッチであって、内部回路41からのデ

ータパターンを一時記憶するものであり、インバータ I<sub>1</sub>、I<sub>2</sub>、クロックドインバータ B<sub>1</sub>、スイッチ S<sub>2</sub>、 NANDゲート A<sub>2</sub>からなる。I<sub>1</sub>は3ステートバッファであって、出力ラッチ 2<sub>1</sub>のラッチデータに従ってバス配線 D<sub>n</sub>を駆動するものであり、 NANDゲート A<sub>1</sub>、ノアゲート O<sub>1</sub>、出力トランジスタ T<sub>1</sub>、T<sub>2</sub>からなる。3<sub>1</sub>は入力バッファであり、バス配線 D<sub>n</sub>からのデータパターンを取り込んで内部回路 4<sub>1</sub>へ供給するものである。

【0004】かかる構成において、OE (Output Enable) = “1” すなわち出力モード時でかつクロック CLK = “1”的とき、内部回路 4<sub>1</sub>からの反転入力データ IN<sub>n</sub> バーは、出力ラッチ 2<sub>1</sub>を経由して3ステートバッファ 1<sub>1</sub>によってバス配線 D<sub>n</sub>に出力される。このとき入力バッファ 1<sub>3</sub>は非活性なので、バス配線 D<sub>n</sub>上のデータが入力バッファ 1<sub>3</sub>を介して内部回路 4<sub>1</sub>へ伝達されることはない。

【0005】ここで、CLK = “0”になると、内部回路 4<sub>1</sub>と出力ラッチ 2<sub>1</sub>とは電気的に分離されるが、引き続き出力ラッチ 2<sub>1</sub>にデータが保持されるため、3ステートバッファ 1<sub>1</sub>は同じデータをバス配線 D<sub>n</sub>に出力し続ける。同様に、入力バッファ 3<sub>1</sub>は非活性である。

【0006】OE = “0” すなわち入力モード時は、クロック CLK に関わらず3ステートバッファ 1<sub>1</sub>は非活性、つまりハイインピーダンス出力である。代わりに入力バッファ 3<sub>1</sub>が活性化され、バス配線 D<sub>n</sub>上のデータを内部回路 4<sub>1</sub>へ伝達すると同時に、スイッチ (トランジスタゲート) S<sub>1</sub>を介して出力ラッチ 2<sub>1</sub>に保持されたデータをバス配線 D<sub>n</sub>上のデータと一致させる。

【0007】なお、ここでは一つの半導体集積回路チップ内に含まれる機能マクロ (あるまとまとった機能を果たす回路群) 同士を接続する配線をバス配線としたが、多ビット出力回路もしくは入出力回路を含む半導体集積回路チップ同士を接続するボード基板上の配線をバス配線としても構わない。

【0008】

【発明が解決しようとする課題】一般に図 7 に示したバス配線 D<sub>i</sub> (i = 1 ~ n + 1 の整数) は、多ビット入出力回路を含む機能マクロと他の機能マクロ (多くは複数) をつなぐ配線であり、非常に距離が長くかつ多数並行して敷設されることが一般的である。そのために、各バス配線には、大きな対地寄生容量 C<sub>g</sub> と大きな対隣接配線寄生容量 C<sub>n</sub> とが付加されてしまう。従って、1ビット入出力回路 1 内の3ステートバッファ 1<sub>1</sub>によってバス配線を駆動するのに大電流が必要となり、消費電力の増大と大きなノイズの発生が避けられなくなる。

【0009】バスの隣接配線寄生容量を小さくするには、各バス配線の間隔を拡げるのが効果的であるが、バス領域の面積が大きくなる。また、大きな寄生容量を高速に駆動するためには、出力ドライバ (図 7 では、3ス

テートバッファ 1<sub>1</sub>が該当) の面積 (特に、トランジスタ T<sub>1</sub>、T<sub>2</sub>の面積) を大きくしなければならない。一般に、バスの本数は多いので、バス配線領域や出力ドライバの面積を大きくしたときのチップ面積、すなわち製造コストへの影響は大きいものなる。

【0010】ここで、特開平5-62475号公報、特開平7-141874号公報、特開平10-11974号公報を参照すると、これ等公報では、SRAM (Static Random Access Memory) のビット線対をイコライズす

10 ることを共通の動作的特徴としている。一般的に、SRAMのビット線対は2本1組で一方をハイレベル、残りの一方をローレベルとして、読み出し/書き込み動作が実現できる。この様に、相補信号が現れると、予め決まっている配線については、イコライズ技術により前述した隣接配線寄生容量に関する問題が容易に解決可能である。しかしながら、より一般的な、データパターンに規則性があるとは限らない場合には、これ等公報の技術をそのまま適用することはできない。

【0011】更に、特開平9-244776号公報を参考すると、この公報では、全てのバス配線を一旦所定レベル (多くはハイレベル) にプリチャージしてから、データパターン (規則性があるとは限らない) に応じて、所望のバス配線のみを駆動 (多くはローレベル方向にのみ) する方式 (ダイナミック駆動方式) の改善手段が開示されている。これに対して、本発明が対象とする技術は、スタティック駆動方式等のプリチャージを必要とせず、ドライバで直接データパターンを出力する方式の技術であり、上記特開平9-244776号公報の技術とは全く別的方式の技術に関するものである。尚、当該公報の技術方式であるダイナミック方式は、低電源電圧で動作マージンが劣化する、同一出力データパターンが続いたときでもバス配線容量を充放電し続けることが必要で消費電力が大である、といった欠点があり、現在では比較的用いられることが少ない。

30 【0012】本発明の目的は、データパターンをドライバで直接容量性負荷へ出力して駆動する際に、最大消費電力や最大発生ノイズの削減を可能とした容量性負荷駆動回路及びその駆動方法並びにそれを用いた半導体集積回路装置を提供することである。

40 【0013】

【課題を解決するための手段】本発明による容量性負荷駆動回路は、データパターンに従って第一及び第二の容量性負荷を夫々駆動する容量性負荷駆動回路であって、前記データパターンに応じて前記第一及び第二の容量性負荷を夫々充放電可能な第一及び第二の出力バッファと、前記第一及び第二の容量性負荷同士を電気的に接続/分離するスイッチと、前記第一及び第二の容量性負荷の電位を互いに逆方向に駆動する場合に、これ等両容量性負荷を一時的に互いに接続するよう前記スイッチを制御する制御回路とを含むことを特徴とする。

【0014】また、本発明による容量性負荷駆動回路は、データパターンに従って第一及び第二の容量性負荷を夫々駆動する容量性負荷駆動回路であって、前記データパターンに応じて前記第一及び第二の容量性負荷を夫々充放電可能な第一及び第二の出力バッファと、前記第一及び第二の容量性負荷同士を電気的に接続／分離するスイッチと、前記第一の容量性負荷の電位が遷移せず、かつ前記第二の容量性負荷の電位を前記第一の容量性負荷の電位と同電位方向へ駆動する場合に、これ等両容量性負荷を一時的に互いに接続するよう前記スイッチを制御する制御回路とを含むことを特徴とする。

【0015】更に、本発明による容量性負荷駆動回路は、データパターンに従って第一及び第二の容量性負荷を夫々駆動する容量性負荷駆動回路であって、前記データパターンに応じて前記第一及び第二の容量性負荷を夫々充放電可能な第一及び第二の出力バッファと、前記第一及び第二の容量性負荷同士を電気的に接続／分離するスイッチと、前記第一及び第二の容量性負荷の電位を互いに逆方向に駆動する場合に、これ等両容量性負荷を一時的に互いに接続するよう前記スイッチを制御し、また前記第一の容量性負荷の電位が遷移せず、かつ前記第二の容量性負荷の電位を前記第一の容量性負荷の電位と同電位方向へ駆動する場合に、これ等両容量性負荷を一時的に互いに接続するよう前記スイッチを制御する制御回路とを含むことを特徴とする。

【0016】本発明による容量性負荷駆動方法は、容量性負荷を夫々有する第一及び第二のデータバスをデータパターンにより夫々駆動する容量性負荷駆動方法であって、前記第一及び第二のデータバスの電位を互いに逆方向に駆動する場合に、これ等両データバスを一時的に互いに接続するようにしたことを特徴とする。

【0017】また、本発明による容量性負荷駆動方法は、容量性負荷を夫々有する第一及び第二のデータバスをデータパターンにより夫々駆動する容量性負荷駆動方法であって、前記第一のデータバスの電位が遷移せず、かつ前記第二のデータバスの電位を前記第一のデータバスの電位と同電位方向へ駆動する場合に、これ等両データバスを一時的に互いに接続するようにしたことを特徴とする。

【0018】更に本発明による容量性負荷駆動方法は、容量性負荷を夫々有する第一及び第二のデータバスをデータパターンにより夫々駆動する容量性負荷駆動方法であって、前記第一及び第二のデータバスの電位を互いに逆方向に駆動する場合に、これ等両データバスを一時的に互いに接続し、また前記第一のデータバスの電位が遷移せず、かつ前記第二のデータバスの電位を前記第一のデータバスの電位と同電位方向へ駆動する場合に、これ等両データバスを一時的に互いに接続するようにしたことを特徴とする。

【0019】本発明による半導体集積回路装置は、上述

の容量性負荷駆動回路を含むことを特徴とし、また上述の容量性負荷駆動方法を使用したことを特徴とする。

【0020】本発明の作用を述べる。第一に、(1)隣接する2つのバス配線の電位を逆方向に駆動する場合と、第二に、(2)隣接する2つのバス配線の一方の配線の電位を遷移させず、かつ残りの一方の配線の電位を前記遷移させない側の配線の電位と同電位方向へ駆動する場合に、一時的にこの2つの配線を短絡させてから出力バッファで駆動する構成とする。(1)の場合、隣接配線の電荷を流用できるため低消費電力、低ノイズとなり、(2)の場合、隣接配線間の寄生容量が容量カップリングによって打ち消されるため低消費電力かつ低ノイズとなる。

【0021】  
【発明の実施の形態】以下に図面を参照しつつ本発明の実施例を説明する。図1は本発明の実施例の回路構成図であり、図7と同等部分は同一符号により示している。図1を参照すると、本発明の容量性負荷駆動回路を用いた半導体集積回路は、1ビット入出力回路1、2、…を並列に組み合わせ、これ等の各入出力端子51、52、…を対応するバス配線(データバス)D<sub>n</sub>、D<sub>n+1</sub>、…に夫々接続することによって構成される。尚、図1では、入力端子及び出力端子を兼用した入出力回路として示しているが、入力バッファ31、32、…を含まない単なる出力回路のみであっても構わない。

【0022】図1において、データ配線D<sub>n</sub>に対応する入出力回路1及び内部回路41は従来の図4に示した入出力回路1及び内部回路41と同一であり、同等要素には同一符号を示している。データ配線D<sub>n</sub>に隣接するデータ配線D<sub>n+1</sub>に対応する入出力回路2及び内部回路42は、入出力回路1及び内部回路41と同一であってその構成についても説明を省略する。

【0023】互いに隣接するデータ配線D<sub>n</sub>とD<sub>n+1</sub>との間の接続(短絡)／分離をなすためのスイッチ構成のイコライザ111が設けられており、このイコライザ111のスイッチ制御がイコライズ制御回路101の一対の制御出力e<sub>qn</sub>、e<sub>qn</sub>バーにより行われる。このイコライズ制御回路101は、内部回路41、42の各出力(すなわち、入出力回路1、2への入力データI<sub>Nn</sub>バー、I<sub>Nn+1</sub>バー)と、これ等の各インバータI3、I4による反転データI<sub>Nn</sub>、I<sub>Nn+1</sub>と、出力ラッチ21、22の各ラッチデータQ<sub>n</sub>、Q<sub>n+1</sub>とに応じて上記一対の制御出力e<sub>qn</sub>、e<sub>qn</sub>バーを生成するものである。このイコライズ制御回路101は、 NANDゲートA3～A8、ノアゲートO2～O3及びインバータI5からなっている。

【0024】内部回路41、42で生成された反転入力データI<sub>Nn</sub>バー、I<sub>Nn+1</sub>バーは夫々出力ラッチ21、22に一旦記憶され、夫々3ステートバッファ11、12によってバス配線D<sub>n</sub>、D<sub>n+1</sub>に夫々出力され

る。逆に、入力バッファ31、32は夫々バス配線D<sub>n</sub>、D<sub>n+1</sub>上のデータを内部回路41、42に夫々取り込むと同時に、スイッチ(トランジスタゲート)S1、S3を介して出力ラッチ21、22にも夫々取り込む。入出力回路1、2の動作モード(入／出力モード)の切替えは出力イネーブル信号OEによって制御され、この信号OEは出力ラッチ21、22や3ステートバッファ11、12や入力バッファ31、32に夫々入力されている。

【0025】一方、互いに隣接する入出力回路1と2との間には、イコライズ制御回路101が設けられている。イコライズ制御回路101は、隣接する入出力回路1と2から反転入力データIN<sub>n</sub>バー、IN<sub>n+1</sub>バーや反転入力データの論理反転である入力データIN<sub>n</sub>、IN<sub>n+1</sub>が入力され、更には、出力ラッチ21、22から記憶データQ<sub>n</sub>、Q<sub>n+1</sub>とその論理反転Q<sub>n</sub>バー、Q<sub>n+1</sub>バーが夫々入力される。イコライズ制御回路101の出力eqとその論理反転eqバーは、イコライザ111と3ステートバッファ11、12に入力される。

【0026】図1には、イコライザとイコライズ制御回路が夫々一つずつしか示されていないが、隣接するバス配線の各々に接続されている入出力回路間全てにイコライザとそれに対応するイコライズ制御回路が設置されているものとする。または、一部の入出力回路間だけに設置されているとしても構わない。

【0027】上述した様に、バス配線Diは、多ビット入出力回路を含む機能マクロと他の機能マクロ(一般に複数)を接続する配線であり、非常に距離が長くかつ多数並行して敷設されることがほとんどである。そのため各バス配線D<sub>n</sub>には、大きな対地寄生容量C<sub>g</sub>と、大きな対隣接配線寄生容量C<sub>n</sub>が付加されてしまう。従って、1ビット入出力回路1、2内の3ステートバッファ11、12によってバス配線D<sub>n</sub>、D<sub>n+1</sub>を駆動するのに大電流が必要となり、消費電力の増大と大きなノイズの発生とが避けられない。そこで、本発明の以下の動作により、上記の各問題が解決可能となる。

【0028】尚、ここでは一つの半導体集積回路チップ内に含まれる機能マクロ同士を接続する配線をバス配線としたが、多ビット入出力回路を含む半導体集積回路チップ同士を接続するボード基板上の配線をバス配線としても構わない。

【0029】図1～図3を用いて本発明の実施例の動作を説明する。図2及び図3は図1に示した回路における動作波形の一例を夫々示すものである。簡単のため、以下の説明ではバス配線D<sub>n-1</sub>、D<sub>n+2</sub>の電位、または電位変化がバス配線D<sub>n</sub>、D<sub>n+1</sub>の電位または電位変化へ与える影響は無視するが、本質的には以下の記述と同じである。

【0030】OE="1"すなわち出力モード時では、クロックCLK="0"のとき、内部回路41、42に

よって、反転入力データIN<sub>n</sub>バー、IN<sub>n+1</sub>バーが夫々生成される。反転入力データIN<sub>n</sub>バーとIN<sub>n+1</sub>バーと、それらのインバータI3、I4による論理反転データ、すなわち入力データIN<sub>n</sub>とIN<sub>n+1</sub>とは、出力データラッチ21、22内に保持された記憶データQ<sub>n</sub>、Q<sub>n+1</sub>とその論理反転Q<sub>n</sub>バー、Q<sub>n+1</sub>バーと共にイコライズ制御回路101へ入力される。イコライズ制御回路101はOE=CLK="1"でかつ以下の

(1)または(2)の条件のみでイコライズ動作を実行する。また、(1)または(2)以外のときは、イコライズ動作は行われず、従来例と全く同じ動作となる。

【0031】(1)隣接するバス配線の電位を互いに逆方向へ遷移させる場合である。具体的には、最初バス配線D<sub>n</sub>が"0"、D<sub>n+1</sub>が"1"の状態で、反転入力データIN<sub>n</sub>バーとして"0"、IN<sub>n+1</sub>バーとして"1"が夫々入力された場合、ならびに、最初バス配線D<sub>n</sub>が"1"、D<sub>n+1</sub>が"0"の状態で、反転入力データIN<sub>n</sub>バーとして"1"、IN<sub>n+1</sub>バーとして"0"が夫々入力された場合である。図2の1つ目のクロックは前者の動作波形を示している。

【0032】(2)あるバス配線の電位をある方向へ遷移させるとき、隣接配線の電位が既にその到達電位であり、しかもこのクロックではその隣接配線の電位を遷移させない場合である。具体的には、最初バス配線D<sub>n</sub>が"0"、D<sub>n+1</sub>が"1"の状態で反転入力データIN<sub>n</sub>バーとして"0"、IN<sub>n+1</sub>バーとして"0"が入力された場合、ならびに最初バス配線D<sub>n</sub>が"1"、D<sub>n+1</sub>が"0"の状態で、反転入力データIN<sub>n</sub>バーとして"1"、IN<sub>n+1</sub>バーとして"1"が入力された場合である。図3の1つ目のクロックは前者の動作波形を示している。

【0033】さて、図2の1つ目のクロックCLKでのイコライズ動作を説明する。クロックCLKが"1"に遷移すると、イコライズ制御回路101によりイコライズ制御回路出力eq<sub>n</sub>が"1"に、イコライズ制御回路反転出力eq<sub>n</sub>バーが"0"になり、イコライザ111が活性化される。これによって3ステートバッファ11、12が非活性化されると同時に、バス配線D<sub>n</sub>、D<sub>n+1</sub>が電気的に接続され、両者の電位が等しくなる。

【0034】一方、クロックが"1"になったことにより、出力ラッチ21内に反転入力データIN<sub>n</sub>バーが取り込まれるが、3ステートバッファが非活性化されているため内部回路41からのデータはバス配線D<sub>n</sub>へ出力されない。ただ、このとき反転入力データIN<sub>n</sub>バーの値と反転記憶データQ<sub>n</sub>バーの値が一致するので、イコライズ制御回路101への入力が変化する。イコライズ制御回路101自身がもつ内部遅延時間△tを経た後に、イコライズ制御回路出力eq<sub>n</sub>とイコライズ制御回路反転出力eq<sub>n</sub>バーが、夫々"0"と"1"に自動的に変化するため、バス配線D<sub>n</sub>とD<sub>n+1</sub>とは電気的に切

離され、同時に3ステートバッファ11、12が再び活性化される。

【0035】従来例と同様に、3ステートバッファはバス配線D<sub>n</sub>とD<sub>n+1</sub>を“1”と“0”とに夫々駆動する。バス配線D<sub>n</sub>の充電電流の半分が、電源線からではなく隣接配線D<sub>n+1</sub>からもたらされるため、その分消費電力が小さくなる。また、電源線からの電流が減るため、大電流が流れるときに発生する電源線のノイズが低減される。

【0036】図2及び図3の2つ目のクロックCLKでの動作は、OE = “0”すなわち入力モードなので、クロックCLKに関わらず3ステートバッファ11は非活性、つまりハイインピーダンス出力である。代わりに入力バッファ31が活性化され、バス配線D<sub>n</sub>上のデータ変化（他の機能マクロによってもたらされる）を内部回路41へ伝達すると同時に、出力ラッチ21に保持されたデータをバス配線D<sub>n</sub>上のデータと一致させる。一致させることによって、次にOE = “1”すなわち出力モードになった瞬間に3ステートバッファ11によってバス配線D<sub>n</sub>が駆動されることを防ぐことができる。

【0037】図3の1つ目のクロックCLKでのイコライズ動作も、ほぼ図2の1つ目のクロックCLKでのイコライズ動作と同様である。ただし、隣接バス配線D<sub>n+1</sub>の電位はイコライズによって一旦引き下げられ、その後、バス配線D<sub>n</sub>とD<sub>n+1</sub>の双方が同時に3ステートバッファ11によって駆動されるという点だけが異なる。隣接する配線を同方向（この場合、“1”的方向）へ駆動するとき、両者の電位変化の速さが近ければ近いほど、両者の間に生じる寄生容量C<sub>n</sub>が実効的に減少するという現象（ミラー効果）が一般に知られている。上記（2）並びに図3の動作は、この現象を積極的に起こすことによって実効的な寄生容量を減らし、その分消費電力と電源線に重畠するノイズを低減できる。

【0038】同様に、上記（1）のとき、従来例では逆方向に隣接バス配線の電位を変化させるため、ミラー効果により隣接配線間容量C<sub>n</sub>が最大2倍まで実効的に増加するが、本発明はこの実効的な容量増加を低減できる。

【0039】本発明の他の実施例について、図4を参照して説明する。図4は本発明の他の実施例の構成を示す回路図であり、図1と同等部分は同一符号にて示している。図4において、内部回路41、42、…の各出力はそれぞれ遅延回路131、132、…の入力端子に接続されている。遅延回路131、132、…は、各出力がそれぞれ3ステートバッファ11、12、…に接続されており、出力モード（OE = “1”）のときに、それぞれ反転入力データIN<sub>n</sub>バー、IN<sub>n+1</sub>バー、…をバス配線D<sub>n</sub>、D<sub>n+1</sub>、…に出力するタイミングを一定時間だけ遅らせる役割を果たす。

【0040】イコライズ制御回路121は、クロックC

LKが入力されていない点と、出力ラッチ21、22の各ラッチデータQ<sub>n</sub>、Q<sub>n+1</sub>に代わって、バス配線D<sub>n</sub>、D<sub>n+1</sub>上のデータと、インバータ141、142による反転データとが入力されている点が、図1のイコライズ制御回路101と相違しており、他の構成は図1の回路と同等であるので、その説明は省略する。

【0041】図4～6を用いてこの実施例の動作を説明する。図5は図4に示した回路における動作波形の一例を示したものであり、図2の例と同様に、隣接バス配線

10 の電位を互いに逆方向に遷移させる場合のものである。OE = “1”すなわち出力モード時には、内部回路41、42によって反転入力データIN<sub>n</sub>バーとIN<sub>n+1</sub>バーがそれぞれ生成される。反転入力データIN<sub>n</sub>バーとIN<sub>n+1</sub>バーが互いに逆方向に遷移すると、イコライズ制御回路121の入力が変化するために、イコライズ制御回路121の遅延時間△tを経てから、バス配線D<sub>n</sub>、D<sub>n+1</sub>がイコライザ111により短絡される。

【0042】一方、反転入力データIN<sub>n</sub>バーは遅延回路131と3ステートバッファ11を通過してバス配線

20 D<sub>n</sub>に反転して出力され、IN<sub>n+1</sub>バーは、それぞれ遅延回路132と3ステートバッファ12を経由してバス配線D<sub>n+1</sub>に論理反転（“0”なら“1”に、“1”なら“0”に）して出力される。この出力開始時刻がちょうどイコライザ111によってバス配線D<sub>n</sub>とD<sub>n+1</sub>の電位がほぼ等しくなる時刻と一致するように、遅延回路131や132の遅延時間を設定するものとする。図5に示す様に、このときの遅延回路131または132の遅延時間と3ステートバッファ11または12の遅延時間との合計を以後△t<sub>2</sub>とする。

30 【0043】さて、反転入力データIN<sub>n</sub>バー、IN<sub>n+1</sub>バーが遷移してからの時間が△t<sub>2</sub>を経過するやいなや3ステートバッファ11、12が動作するため、バス配線D<sub>n</sub>、D<sub>n+1</sub>の電位はそれぞれインバータ141、142の論理しきい値（一般に電源電位D<sub>dd</sub>の約1/2）を横切る。よって、反転バス配線電位D<sub>n</sub>バー、D<sub>n+1</sub>バーの電位が遷移し、これに伴いイコライズ制御回路121の入力が変化するため、イコライズ制御回路121の遅延時間△tを経てからイコライザ111が活性化される。このとき、既に3ステートバッファ11、12は動作しているので、バス配線D<sub>n</sub>、D<sub>n+1</sub>は速やかに駆動される。

【0044】図6は図4に示した回路における動作波形の他の例を示したものであり、図3と同様に、あるバス配線の電位をある方向へ遷移させると、隣接配線の電位が既にその到達電位であり、かつその隣接配線の電位がこのタイミングでは遷移しない場合を示している。具体的には、OE = “1”すなわち出力モードのとき、バス配線D<sub>n</sub>への出力を“0”から“1”に遷移させる一方で、隣接するバス配線D<sub>n+1</sub>への出力は“1”的まま変更しない場合である。

【0045】反転入力データ  $I_{Nn}$  が立ち下がった（“1”から“0”へ遷移した）後、イコライズ制御回路121の遅延時間  $\Delta t$  だけ経過すると、イコライザ111が活性化され、遅延回路131と3ステートバッファ11の遅延時間合計  $\Delta t_2$  だけ経過すると、3ステートバッファ11が活性化される。よって、反転入力データ  $I_{Nn}$  の立ち下がりから  $\Delta t$  だけ経過すると、バス配線  $D_n$  と  $D_{n+1}$  とが短絡され、更に  $(\Delta t_2 - \Delta t)$  だけ経過すると、バス配線  $D_n$  の電位が  $V_{dd}/2$  を上回り、インバータ141の出力  $D_n$  バーの電位が立ち下がる。 $D_n$  バーの電位が立ち下がってから更に  $\Delta t$  だけ経過すると、イコライザ111が非活性化されるのに対して、3ステートバッファ11、12は動作しているので、バス配線  $D_n$ 、 $D_{n+1}$  は共に速やかに“1”に遷移する。

【0046】また、図5及び図6において、 $O_E = "0"$  すなわち入力モードの場合には、他の機能マクロによってもたらされるバス配線  $D_n$  の電位変化が、インバータ141によりイコライズ制御回路121に伝えられる。但し、図1に示した第一の実施例とは異なり、次に  $O_E = "1"$  すなわち出力モードになった瞬間に、3ステートバッファ11によってバス配線  $D_n$  が（図5の場合は“1”的方へ）駆動されてしまう。従って、この図4の第二の実施例では、出力イネーブル  $O_E$  を立ち上げるタイミングを、例えば反転入力データ  $I_{Nn}$  バー、 $I_{Nn+1}$  バーが遷移した直後にするなどの調整が必要である。また、一時的に、3ステートバッファ11、12とイコライザ111が同時に活性化するので、第一の実施例に比べてやや消費電力は大きくなる。

【0047】以上、本発明による第二の実施例では、クロック  $CLK$  を必要としないことや、出力ラッチ21、22、…の代わりに、遅延回路131、132、…とインバータ141、142、…を使用するために、回路構成が簡素になって、集積回路の場合の占有面積が低減できるという効果を有するものである。

【0048】

【発明の効果】本発明による第一の効果は、消費電力を削減できるということである。その理由は、上記（1）の場合は隣接配線の電荷を流用できるからである。また、上記（2）の場合は隣接配線間の寄生容量が実効的に小さくなるからである。

【0049】本発明による第二の効果は、電源線や接地線に重畳する電流ノイズが低減するということである。

その理由は、第一の効果の理由と全く同一である。

【0050】本発明による第三の効果は、バス配線の占有面積を比較的小さくでき、チップ面積（コスト）が削減できるということである。その理由は、隣接配線間容量のミラー効果による悪影響を低減でき、好影響を積極的に利用するため、バス配線同士の間隔を比較的狭くできるからである。

【0051】本発明の第四の効果は、出力ビットのデータパターンが規則性のない（または規則性があるとは限らない）回路にも広く適用できるということである。その理由は、内部回路からの出力データパターンの他に、現在の容量性負荷のデータパターンをも考慮して、上記（1）と（2）との特定のデータパターン関係にあるときのみに、隣接データバスを一時的に短絡する構成としたからである。

【図面の簡単な説明】

【図1】本発明の実施例の構成を示す回路図である。

【図2】図1の動作の一例を示すタイミングチャートである。

【図3】図1の動作の他の例を示すタイミングチャートである。

【図4】本発明の他の実施例の構成を示す回路図である。

【図5】図4の動作の一例を示すタイミングチャートである。

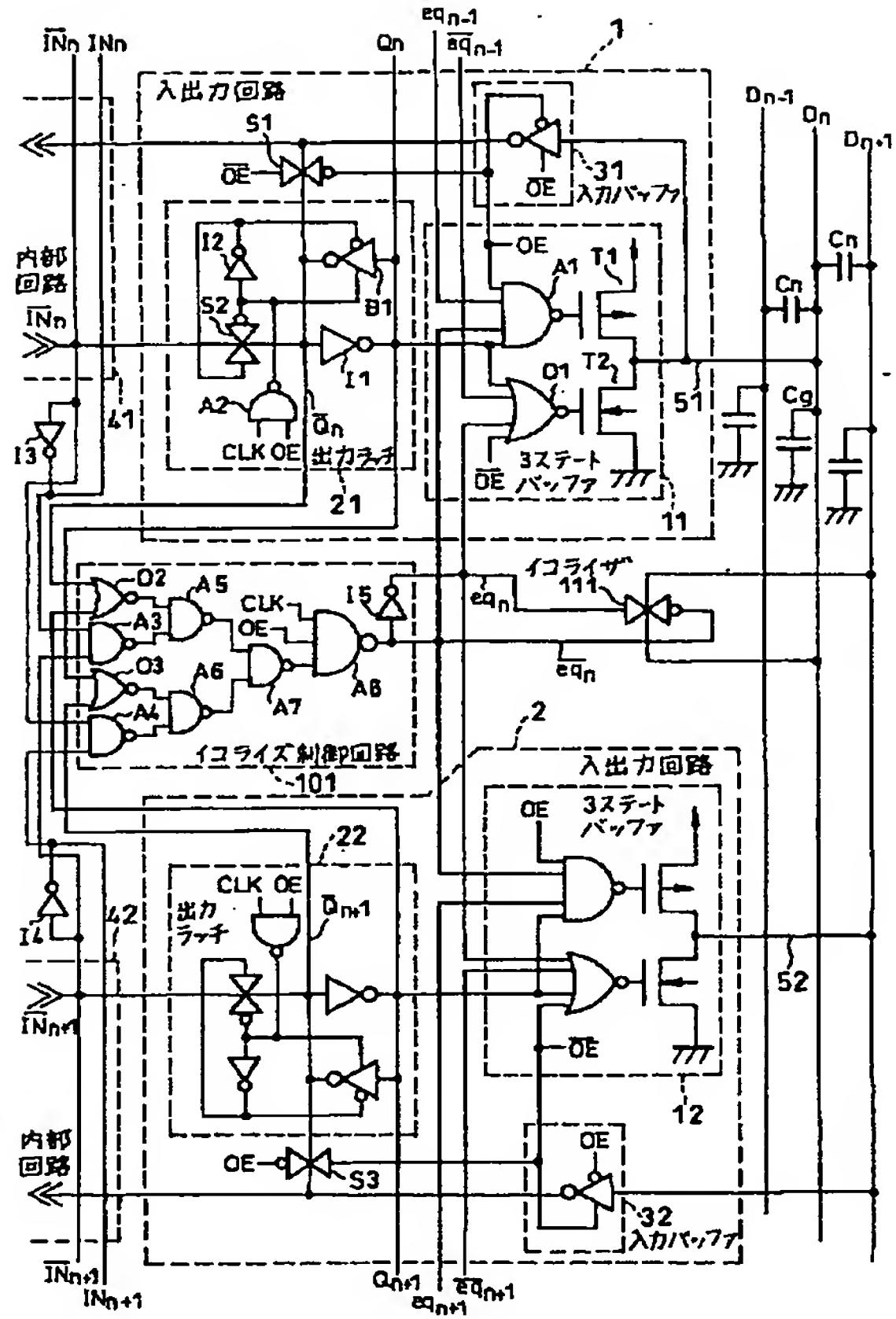
【図6】図4の動作の他の例を示すタイミングチャートである。

【図7】従来技術を説明するための回路図である。

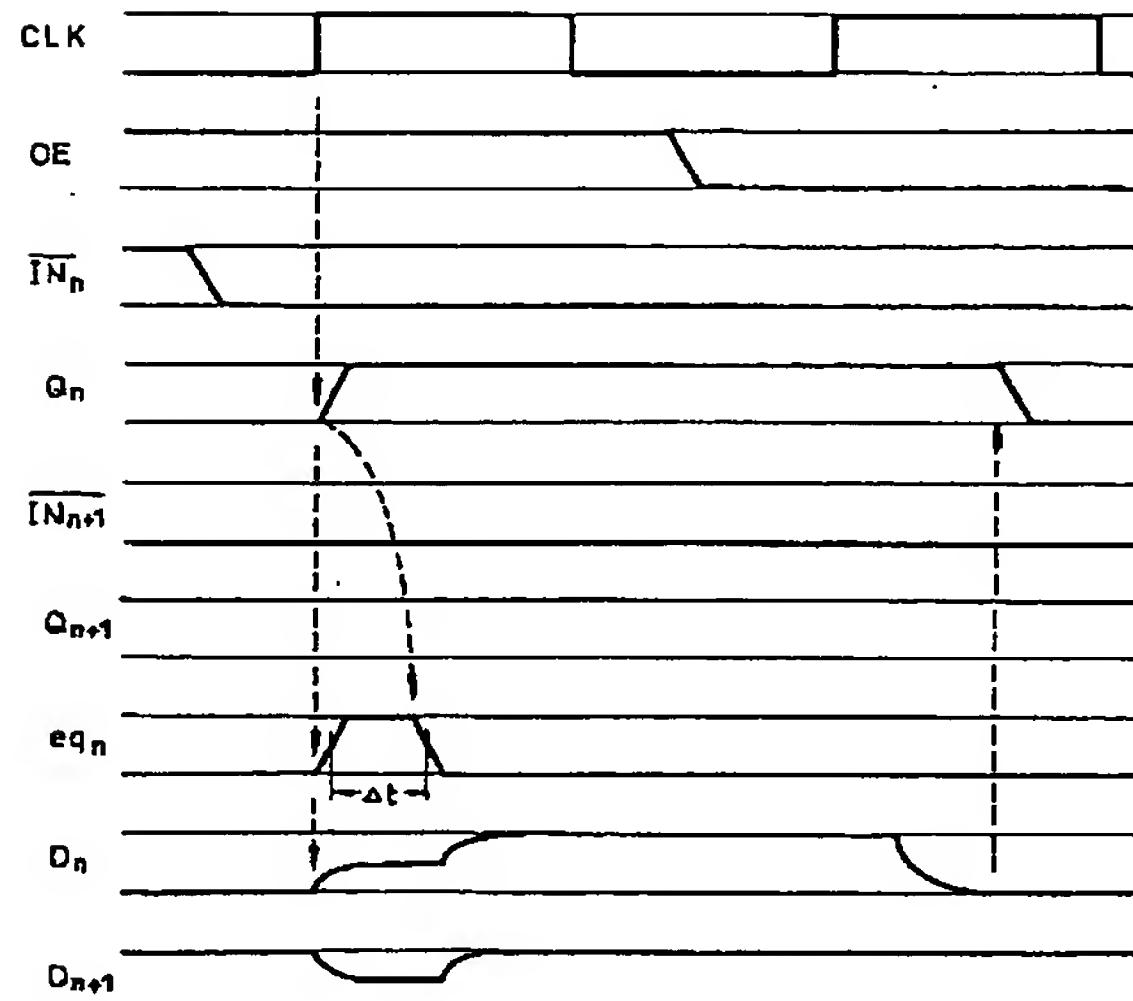
【符号の説明】

30	1、2 入出力回路
	11、12 3ステートバッファ
	21、22 出力ラッチ
	31、32 入力バッファ
	41、42 内部回路
	101 イコライズ制御回路
	111 イコライザ
	131、132 遅延回路
	141、142 インバータ
	$D_{n-1} \sim D_{n+1}$ データ配線（データバス）
40	$C_g$ 対地寄生容量
	$C_n$ 隣接配線間寄生容量

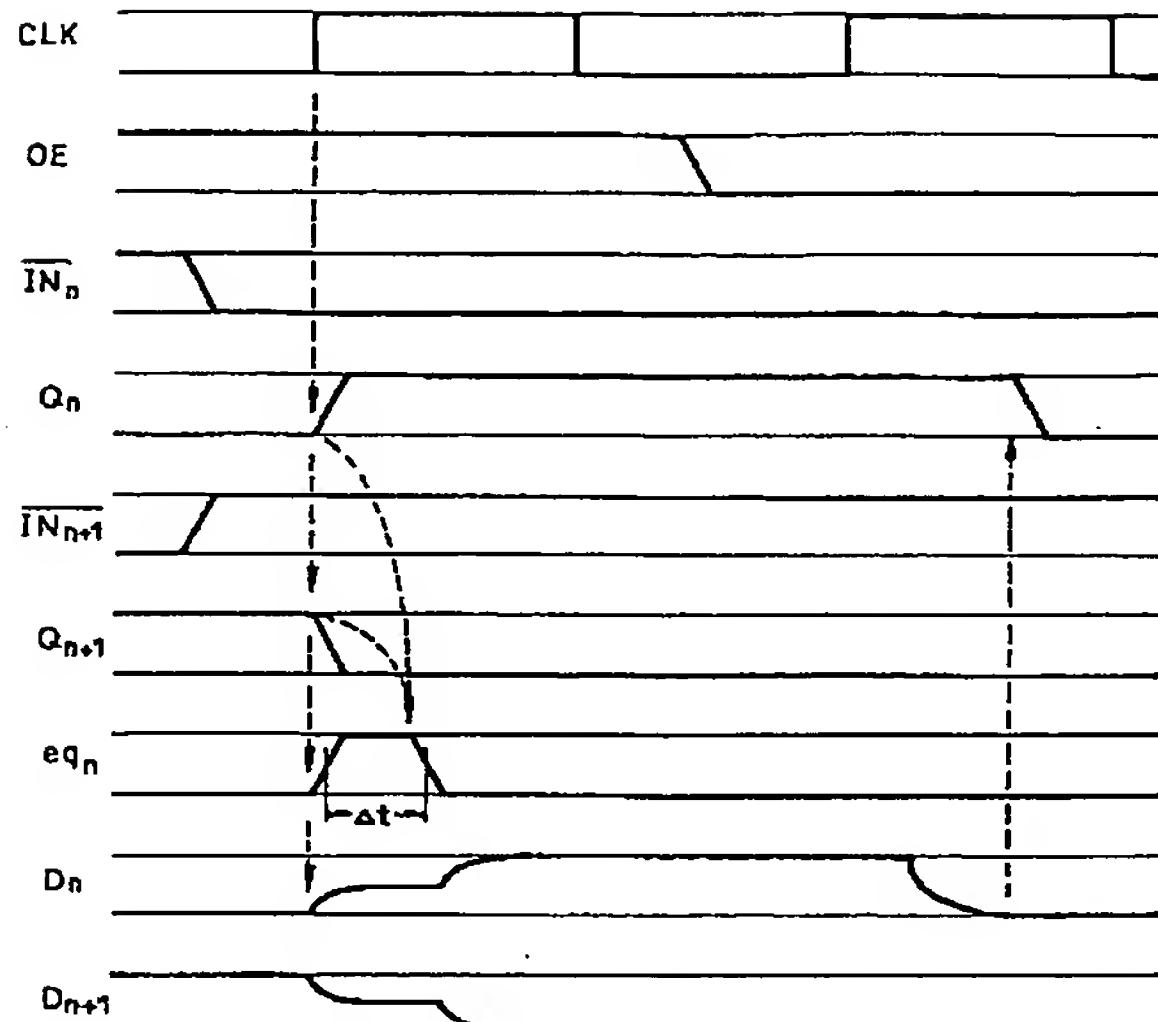
〔四〕



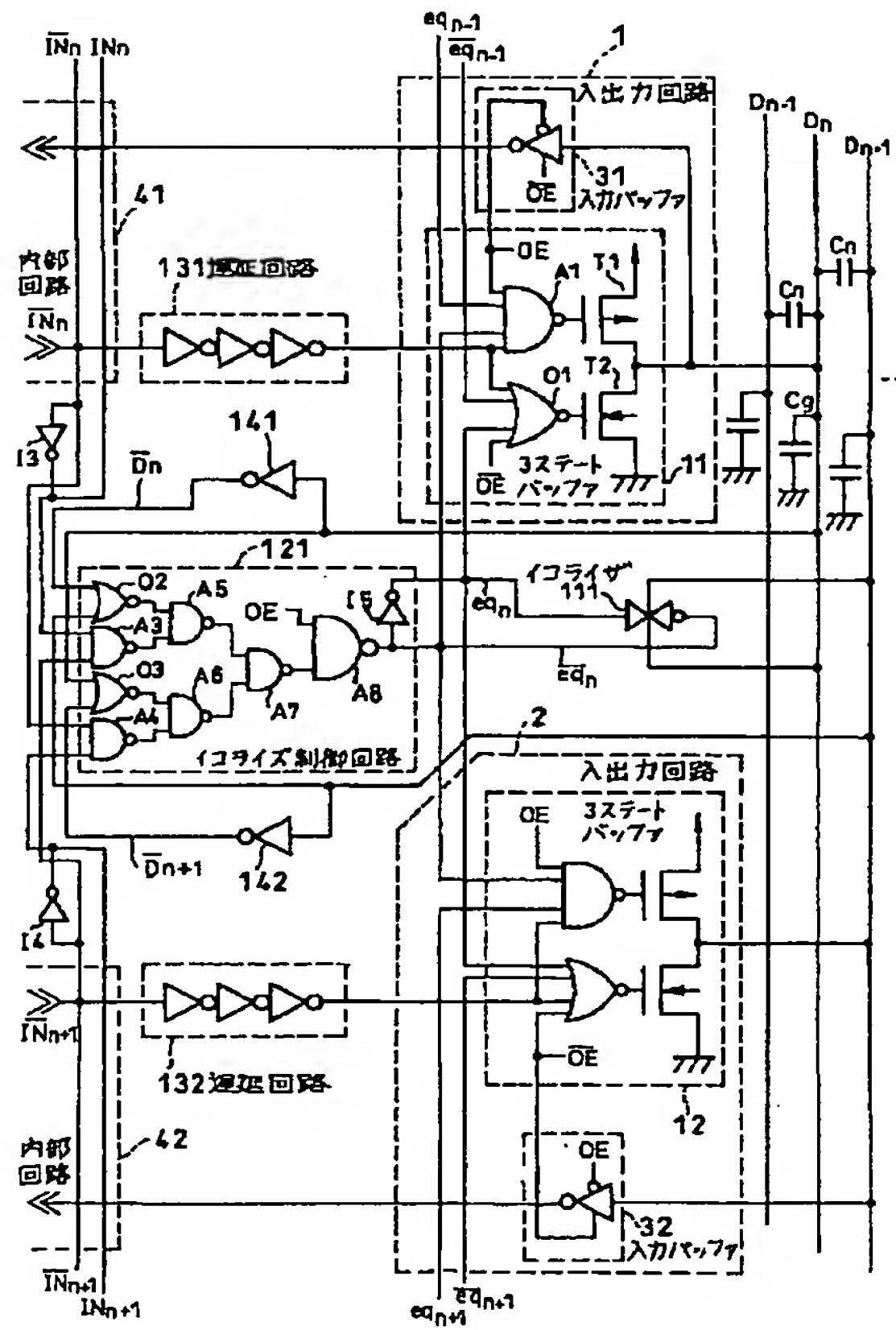
[図3]



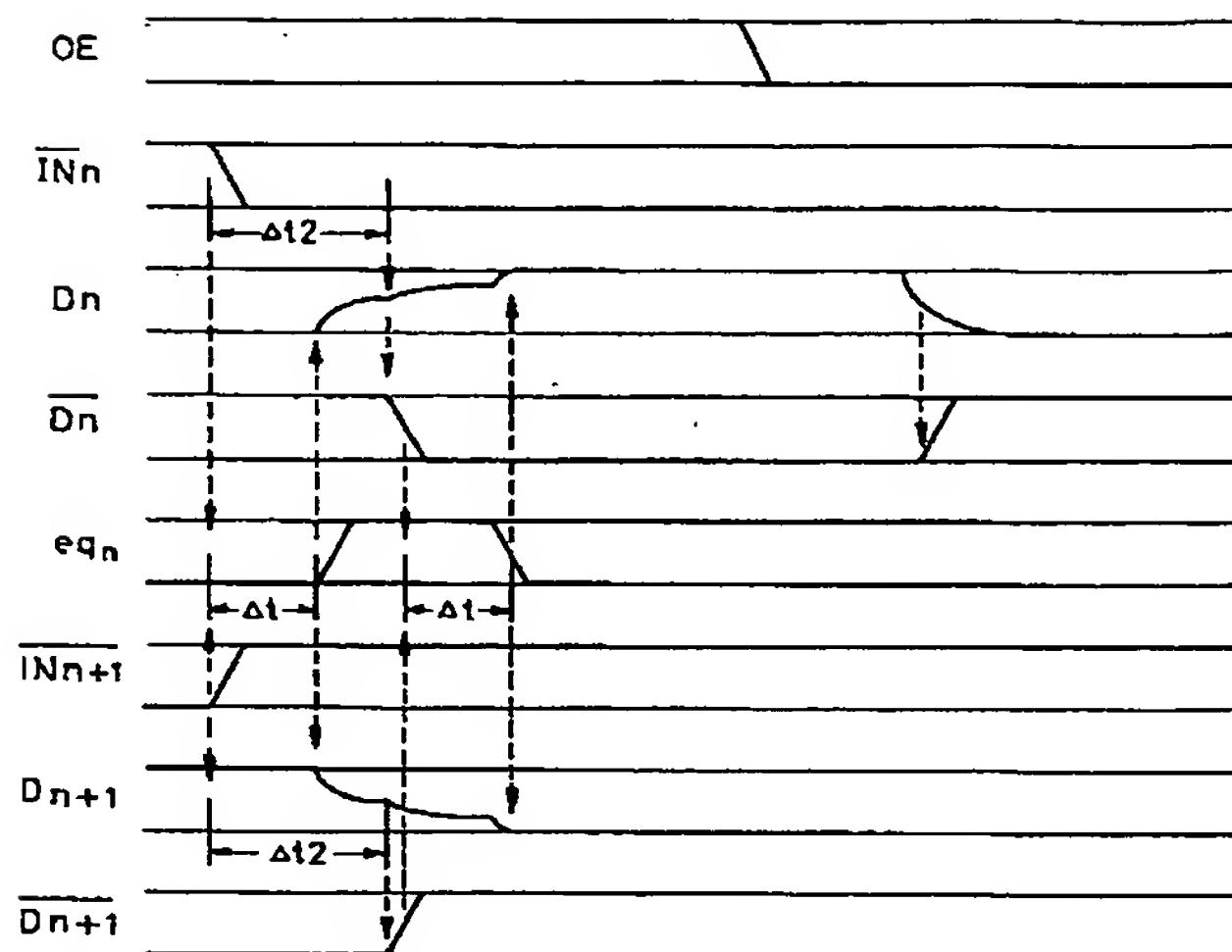
[図2]



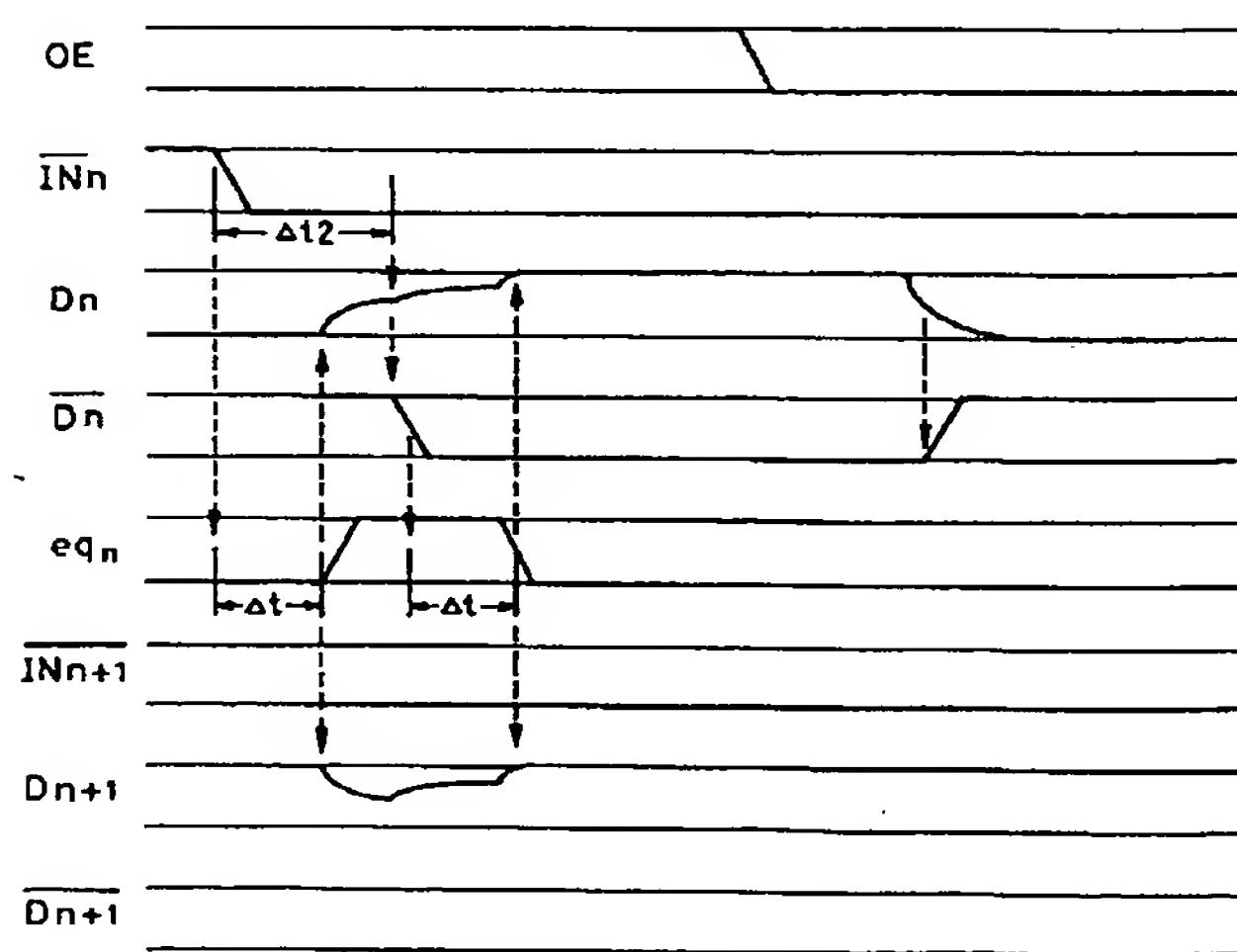
〔図4〕



【図5】



【図6】



【図7】

